

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Jeong-wook LEE et al) Group Art Unit: Unassigned
Application No.: Unassigned) Examiner: Unassigned
Filed: September 12, 2003) Confirmation No.: Unassigned
For: METHOD OF MANUFACTURING)
HIGHLY EFFICIENT)
SEMICONDUCTOR DEVICE)
)
)

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Korean Patent Application No. 2003-4106

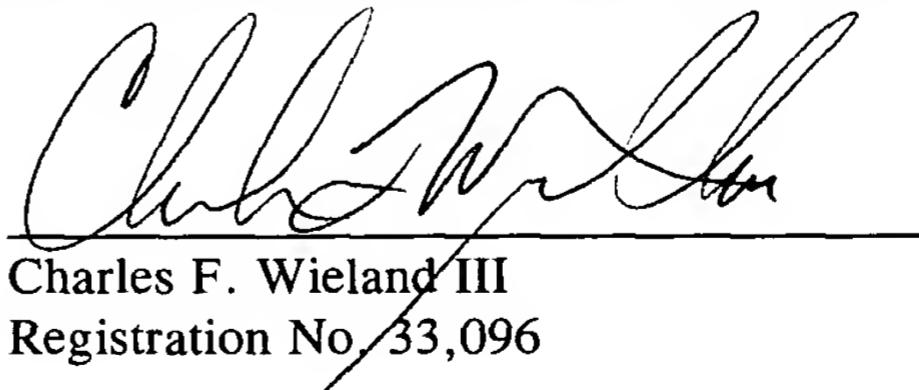
Filed: January 21, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application is referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

By:


Charles F. Wieland III
Registration No. 33,096

Date: September 12, 2003

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

Application Number: **Patent Application No. 2003-4106**

Date of Application: **21 January 2003**

Applicant(s): **Samsung Electronics Co., Ltd.**

7 February 2003

COMMISSIONER

1020030004106

2003/2/10

[Document Name] Patent Application
[Application Type] Patent
[Receiver] Commissioner
[Reference No.] 0011
[Filing Date] 2003.01.21
[IPC] H01L
[Title] Manufacturing method of semiconductor device having high efficiency

[Applicant]

[Name] Samsung Electronics Co., Ltd.
[Applicant code] 1-1998-104271-3

[Attorney]

[Name] Young-pil Lee
[Attorney's code] 9-1998-000334-6
[General Power of Attorney Registration No.] 2003-003435-0

[Attorney]

[Name] Hae-young Lee
[Attorney's code] 9-1999-000227-4
[General Power of Attorney Registration No.] 2003-003436-7

[Inventor]

[Name] LEE, Jeong Wook
[I.D. No.] 720802-1067311
[Zip Code] 440-710
[Address] 131-301 Cheoncheon Apt., Cheoncheon-dong, Jangan-gu,
Suwon-city, Kyungki-do
[Nationality] Republic of Korea

[Inventor]

[Name] YOO, Ji Beom
[I.D. No.] 590906-1156418
[Zip Code] 463-052
[Address] 507-604 Hyojachon Samhwan Apt., Seohyeon 2-dong, Bundang-gu,
Seongnam-city, Kyungki-do

[Nationality] Republic of Korea

[Inventor]

[Name] SONE, Cheol Soo
[I.D. No.] 690121-1631719
[Zip Code] 431-070
[Address] 504-803, Chowon Maeul Lucky Apt., Pyeongchon-dong,
Dongan-gu, Anyang-city, Kyungki-do
[Nationality] Republic of Korea

[Inventor]

[Name] SUNG, Youn Joon
[I.D. No.] 720321-1052821
[Zip Code] 441-703
[Address] 11-204, Samhwan Apt., Guun-dong, Gwonseon-gu, Suwon-city,
Kyungki-do
[Nationality] Republic of Korea

[Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request and examination according to Art. 60 of the Patent Law, as Above.

Attorney Young-pil Lee
Attorney Hae-young Lee

[Fee]

[Basic page]	17 Sheet(s)	29,000 won
[Additional page]	0 Sheet(s)	0 won
[Priority claiming fee]	0 Case(s)	0 won
[Examination fee]	16 Claim(s)	621,000 won
[Total]	650,000 Won	

[Enclosures]

1. Abstract and Specification (and Drawings)_1 copy

대

한 민

국

특

허

청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0004106
Application Number

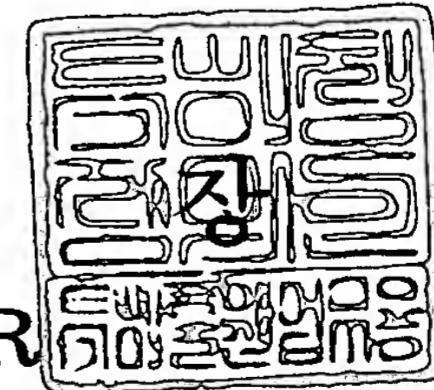
출 원 년 월 일 : 2003년 01월 21일
Date of Application JAN 21, 2003

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 02 월 07 일



특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	2003.01.21
【국제특허분류】	H01L
【발명의 명칭】	고효율 반도체 소자 제조방법
【발명의 영문명칭】	Manufacturing method of semiconductor device having high efficiency
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	이정욱
【성명의 영문표기】	LEE, Jeong Wook
【주민등록번호】	720802-1067311
【우편번호】	440-710
【주소】	경기도 수원시 장안구 천천동 천천아파트 131동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	유지범
【성명의 영문표기】	YOO, Ji Beom
【주민등록번호】	590906-1156418

【우편번호】

463-052

【주소】

경기도 성남시 분당구 서현2동 효자촌 삼환아파트 507-604

【국적】

KR

【발명자】

【성명의 국문표기】

손철수

【성명의 영문표기】

SONG,Cheol Soo

【주민등록번호】

690121-1631719

【우편번호】

431-070

【주소】

경기도 안양시 동안구 평촌동 초원마을 럭키아파트 504동
803호

【국적】

KR

【발명자】

【성명의 국문표기】

성연준

【성명의 영문표기】

SUNG,Youn Joon

【주민등록번호】

720321-1052821

【우편번호】

441-703

【주소】

경기도 수원시 권선구 구운동 삼환아파트 11동 204호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
이해영 (인)

【수수료】

【기본출원료】

17 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

16 항 621,000 원

【합계】

650,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

고효율 반도체 소자 제조방법이 개시된다. 개시된 고효율 반도체 소자 제조방법은 기판 상에, 제1반도체층, 마스크층 및, 금속층을 순서대로 적층하는 제1단계와, 금속층을 양극산화하여 나노 크기의 호율이 다수 형성되는 금속 산화물층으로 변화시키는 제2단계와, 나노 호율이 제1반도체층의 표면까지 연장되도록 금속 산화물층을 마스크로 하여 상기 마스크층을 식각하는 제3단계와, 금속 산화물층을 제거하는 제4단계 및, 마스크층 및 제1반도체층의 상면에 제2반도체층을 증착하는 제5단계를 포함한다. 격자 부정합에 의해 발생되는 결함 밀도를 감소시키고 결함 분포를 분산시킬 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

고효율 반도체 소자 제조방법{Manufacturing method of semiconductor device having high efficiency}

【도면의 간단한 설명】

도 1은 종래의 LED의 구조를 간략히 나타낸 사시도,

도 2는 종래의 LED의 구조를 간략히 나타낸 단면도,

도 3a 내지 도 3e는 본 발명의 실시예에 따른 반도체 소자 제조방법을 나타낸 공정
도,

도 4는 본 발명의 실시예에 따른 반도체 소자 제조방법에 의해 제조된 일 구현예로
서 LED의 사시도,

도 5는 본 발명의 실시예에 따른 반도체 소자 제조방법에 의해 제조된 일 구현예로
서 LED의 단면도.

<도면의 주요부분에 대한 부호설명>

31, 41, 51 ; 기판

33 ; 제1반도체층

35 ; 마스크층

39 ; 금속층

39a ; 금속 산화물층

42 ; GaN 버퍼층

43 ; n-GaN층

44 ; n-AlGaN층

45 ; InGaN층

46 ; p-AlGaN층

47 ; p-GaN층

48, 58 ; n형 전극	49, 59 ; p형 전극
52 ; 버퍼층	53 ; 제1화합물 반도체층
54 ; 하부 클래드층	55 ; 활성층
56 ; 상부 클래드층	57 ; 제2화합물 반도체층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 반도체 소자 제조방법에 관한 것으로서, 더욱 상세하게는 결함 성장이 억제되는 고효율의 반도체 소자 제조방법에 관한 것이다.

<18> 종래 백색 LED(Light Emitting Diode)의 광원으로 UV-LED를 제조함에 있어 기판의 결함밀도가 LED의 광효율을 떨어뜨리는 것으로 알려져 있다. 사파이어 기판 상의 GaN계 화합물 반도체가 성장하는 경우 격자 부정합으로 인해 일반적으로 쓰레딩 디스로케이션 (threading dislocation)이라는 결함이 나타나는데, 이 결함은 성장이 진행됨에 따라 소멸하지 않고 표면까지 진행한다. 결함은 표면까지 진행하는 중에 InGaN 활성층 내부로도 전이되어 비발광 재조합 중심(non-radiative recombination center)으로 기능함으로써 발광효율을 저하시킬 수 있다. 실제로 InGaN 활성층의 In 조성이 높은 블루 LED 내지 그린 LED의 경우 이러한 결함의 영향에 둔감하다는 보고가 되고 있으나 In 조성이 낮은 UV-LED의 경우에는 민감하다고 보고되고 있다.

<19> 종래 LED의 제조기술에는 격자상수 불일치를 완화시켜 초기 성장되는 GaN 내

부의 결함생성을 최소화하기 위해 AlN, AlGaN, InGaN, ZnO, SiC 등의 완충층을 사용하거나, 스트레스를 조절할 수 있는 다층구조를 성장시키는 방법을 사용하고 있다. 또는 ELOG(Epitaxial Lateral Overgrowth), PENDEO, LEPS 등의 측면 성장을 이용하여 선택적으로 결함의 영향을 받지 않는 영역을 형성하는 방법을 사용한다.

<20> 도 1은 ELOG를 이용하여 성장시킨 종래의 LED를 보인 사시도이고 도 2는 동일물의 단면도이다.

<21> 도 1 및 도 2를 참조하면, 기판(11) 상에 제1GaN층(13)이 적층되고 그 상부에 제1GaN층(13)의 일부 면적을 차폐하여 결함(D)의 수직방향 성장을 저지시키는 마스크층(15)이 스트라이프 패턴으로 형성되며, 다시 제1GaN층(13) 및 마스크층(15)의 상부에 제2GaN층(17)이 재성장된다.

<22> 사파이어 기판(11)과 제1GaN층(13) 사이의 격자 부정합으로 인해 발생되는 결함(D)의 일부는 마스크층(13)에 차폐되지 않고 도시된 바와 같이 수직 방향으로 성장하며, 결함(D) 중 마스크층(13)에 근접하여 성장하는 결함은 마스크층(15)에 도달하면 마스크층(15)을 감싸고 측방향으로 굴절하여 성장한다. 마스크층(15)의 양쪽 변에서 중심을 향해 측방향으로 성장되던 결함은 마스크층(15)의 중심부근에서 만나 다시 수직 방향으로 성장한다. 이러한 성장 패턴에 의해 마스크층(15)의 중심부에서 양측까지의 영역은 결함 발생이 억제되어 발광효율이 국소적으로 증가할 수 있다.

<23> 하지만, 종래의 ELOG 에피 성장법은 결함이 마스크층(13)의 사이에 마스크층(13)이 오프닝된 영역에는 여전히 존재하므로 마스크층(13) 상의 저결함 영역에서 방출되는 발광효율과 그 외 결함이 밀집한 여역에서의 발광율 차이가 생기게 되어 전체적으로 발광 분포가 고르지 못한 단점을 가진다. LED 이외의 반도체 소자를 제조하는 경우에도 격자

상수의 불일치로 인해 생성되는 결함을 최소한으로 억제할 수 있는 제조방법이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서, 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 결함 밀도를 감소시키고 결함 분포를 균일하게 할 수 있는 반도체 소자 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위하여 본 발명은,

<26> 기판 상에, 제1반도체층, 마스크층 및, 금속층을 순서대로 적층하는 제1단계;

<27> 상기 금속층을 양극산화하여 나노 크기의 호울이 다수 형성되는 금속 산화물층으로 변화시키는 제2단계;

<28> 상기 나노 호울이 상기 제1반도체층의 표면까지 연장되도록 상기 금속 산화물층을 마스크로 하여 상기 마스크층을 식각하는 제3단계;

<29> 상기 금속 산화물층을 제거하는 제4단계; 및

<30> 상기 마스크층 및 상기 제1반도체층의 상면에 제2반도체층을 증착하는 제5단계;를 포함하는 것을 특징으로 하는 반도체 소자 제조방법을 제공한다.

<31> 상기 호울은 10nm 내지 500nm 크기의 지름을 가지는 것이 바람직하며, 전체 면적의 50% 이내의 점유 면적비로 형성하는 것이 바람직하다.

<32> 상기 마스크층은 50nm 내지 500nm의 두께로 형성하는 것이 바람직하다.

<33> 상기 제1반도체층은 상기 기판과 격자 상수가 상이하다.

<34> 상기 기판은 사파이어, Si, SiC, MgAl₂O₄, NdGaO₃, LiGaO₂, ZnO, MgO를 포함하는 무기물 결정, GaP, GaAs을 포함하는 III-V족 화합물 반도체, 또는 GaN을 포함하는 III족 질화물 반도체로 형성한다.

<35> 상기 제1 및 제2반도체층은 질화물 반도체로 형성하는데, 상기 질화물 반도체는 GaN, InGaN, AlGaN, AlInGaN, 또는 InGaNAs로 형성할 수 있다.

<36> 상기 마스크층은 다결정 반도체, 유전물질, 또는 금속으로 형성할 수 있다. 여기서, 상기 다결정 반도체층은 다결정 실리콘 또는 다결정 질화물을 포함하며, 상기 유전물질은 산화 규소, 산화 티탄, 또는 산화 지르코늄을 포함하며, 상기 금속은 1200°C 이상의 용점을 가지는 것으로서, 티탄 또는 우라늄으로 형성하는 것이 바람직하다.

<37> 상기 제3단계에서, 상기 식각은 건식식각을 실행하며, 상기 마스크층의 나노 호울 내에 전하저장물질을 더 증착할 수 있다.

<38> 본 발명은 AAO(Anodic Aluminium Oxide) 공법을 이용하여 나노패턴의 마스크층을 형성함으로써 결함 밀도를 감소시키고 결함 분포를 균일하게 하는 반도체 소자 제조방법을 제시한다.

<39> 이하 도면을 참조하여 본 발명의 실시예에 따른 반도체 소자 제조방법을 상세히 설명한다.

<40> 도 3a 내지 도 3e는 결함의 성장을 억제하는 본 발명의 실시예에 따른 반도체 소자 제조방법을 나타낸 공정도이다.

<41> 먼저 도 3a에 도시된 바와 같이, 기판(31) 상에 제1반도체층(33)을 적층하고 그 상부에 마스크층(35) 및, 금속층(39)을 순서대로 적층한다. 기판(31)으로는 사파이어, 실

리콘(Si), 탄화규소(SiC), 스피넬(MgAl₂O₄), NdGaO₃, LiGaO₂, ZnO, MgO를 포함하는 무기 물 결정질, 인화갈륨(GaP) 또는 비화갈륨(GaAs)을 포함하는 III-V족 화합물 반도체, 질화갈륨(GaN)을 포함하는 III족 질화물계 화합물 반도체 등을 이용할 수 있다. 여기서, 마스크층(35)과 금속층(39) 사이에 Ti 등의 희생층을 개재시켜 마스크층(35)과 금속층(39)의 접합을 도울 수 있다.

<42> 다음 도 3b에 도시된 바와 같이, 금속층(39)을 양극산화시켜 나노 크기의 호울이 다수 배열되는 금속 산화물층(39a)을 형성한다. 금속층(39)으로는 주로 알루미늄이 사용되며 알루미늄을 양극산화(anodizing)시키면 알루미나로 변화하면서 표면으로부터 나노 크기의 호울이 다수 형성된다. 여기서, 나노 크기의 호울은 100nm 이하의 지름을 가지고 록 형성하는 것이 바람직하다.

<43> 도 3c는 건식식각 공정을 나타내는데, 금속 산화물층(39a)을 마스크로 하여 마스크층(35)을 식각함으로써 금속 산화물층(39a)에 배열된 호울이 제1반도체층(33)의 표면까지 연장되도록 형성할 수 있다.

<44> 건식 식각공정 실행 후 금속 산화물층을 식각시켜 제거하면, 도 3d에 도시된 바와 같이 제1반도체층(33)의 표면에는 나노패턴을 가지는 마스크층(35)만이 잔류하게 된다. 마스크층(35)으로는 다결정 실리콘, 다결정 질화물 반도체 등의 다결정 반도체, 산화규소(SiO_x), 질화 규소(SiNx), 산화 티탄(TiO_x), 산화 지르코늄(ZrO_x) 등의 산화물, 질화물 또는 이러한 다층막 이외에 1200°C 이상의 용점을 가지는 티탄(Ti), 텅스텐(W)과 같은 고용점 금속을 이용할 수 있다.

<45> 마스크층(35) 및 제1반도체층(33)의 상부에 다시 제2반도체층(38)을 증착시키면 도 3e에 도시된 바와 같이 반도체 소자가 형성된다. 나노패턴을 가지는 마스크층(35)을 마

스크로 하여 제2반도체층(43)을 재성장하는 경우 선택적 성장을 통하여 초기발생된 결함의 전파를 차단할 수 있다. 또한, 나노패턴의 상부에 제2반도체층(43)을 연속하여 재성장시키는 경우, 계면에서의 스트레스 이상 분포를 최소화시켜 반도체 소자의 구조를 안정하게 유지할 수 있다. 제1 및 제2반도체층(43)으로는 GaN과 같은 질화물계 반도체를 이용할 수 있으나, 반도체 소자의 종류에 따라 다양한 물질을 이용할 수 있을 것이다. 또는, 제2반도체층(43)의 상면에는 다른 반도체층이 복수로 증착될 수 있을 것이다.

<46> 도 4는 도 3a 내지 도 3e에 도시된 반도체 소자 제조방법에 의해 제조된 일 구현예로서 LED의 구조를 간략히 나타낸 분해 사시도이다.

<47> 도면을 참조하면, 사파이어 기판(41) 상에 GaN 버퍼층(42)이 적층되어 있으며, GaN 버퍼층(42)의 상면에는 나노 호울이 스트라이프로 배열된 SiO₂층(40)이 패터닝되어 있다. SiO₂층(40)의 상면에는 n-GaN층(43)이 증착되는데, 마스크층으로서 SiO₂층(40)에 의해 기판(41)과 GaN 버퍼층(42)의 계면에서 발생된 쓰레딩 디스로케이션의 성장이 억제되어 결함 밀도가 감소되고 나노 호울이 균일하게 분포하여 결함이 어느 일부분에 집중되지 않고 균일하게 분포한다. n-GaN층(43)의 상면에는 하부 클래드층으로서 n-AlGaN층(44)이, 활성층으로서 InGaN층(45)이, 상부 클래드층으로 p-AlGaN층(46)이 순서대로 적층되며, n-GaN층(43)의 단차부분에는 n형 전극(48)이 형성되고, p-AlGaN층(46)의 상면에는 p형 전극(49)이 형성되어 있다.

<48> GaN 버퍼층(42)과 n-GaN층(43) 사이에 위치하는 SiO₂층(40)에 의해 결함의 전파가 방지되므로 활성층(45)에서 방출되는 광의 발광 효율이 높아진다. 제시된 구현예에서는 GaN 버퍼층(42)과 n-GaN층(43) 사이에 마스크층으로서 SiO₂층(40)을 배치하였으나, 마스크층은 n-GaN층(43)과 n-AlGaN층(44) 사이의 계면에도 위치할 수 있으며, 그 외 어떤 반

도체층 사이에도 형성될 수 있다. 복수의 마스크층을 각 반도체층 사이의 계면에 패터닝하는 경우 마스크층의 패턴이 상부 및 하부가 서로 교차하도록 형성함으로써 결함 밀도를 현저히 감소시킬 수 있으며, 결함 분포를 분산시킬 수 있다. 예를 들어, 제1마스크층의 호율이 형성된 부분을 일부 통과하여 성장하는 디스로케이션은 제1마스크층과 호율이 서로 교차되는 위치에 패터닝된 제2마스크층에 의해 더 이상 성장하지 못하고 차단되는 것이다. 마스크층의 나노 호율 패턴을 교차되게 형성하는 방법을 통해 결함 밀도를 크게 감소시킬 수 있어 더 높은 발광 효율을 가지는 발광 소자를 형성할 수 있다.

<49> 도 5는 본 발명의 실시예에 따른 반도체 소자 제조방법에 의해 제조된 다른 구현 예로서 나노 호율을 양자점으로 이용하는 LED의 단면도이다.

<50> 도시된 바와 같이, 하부 클래드층(54)의 상면에 마스크층(55)을 패터닝하고 마스크층(55)의 나노 호율에 전하저장물질(50)을 채우면 양자점을 가지는 발광 소자를 제조할 수 있다. 여기서, 참조부호 51은 기판, 52는 버퍼층, 53은 제1화합물 반도체층, 56은 상부 클래드층, 57은 제2화합물 반도체층, 58은 n형 전극, 59는 p형 전극이다.

<51> 본 발명의 실시예에 따른 반도체 소자 제조방법에 의해 양자점을 가지는 마스크층으로 활성층이 이루어지는 경우, 발광소자는 양자점 내에 트랩되는 전자의 수가 적어 낮은 구동 전압으로도 광을 방출시킬 수 있으며 계면에서 발생될 수 있는 결함의 성장을 억제하여 발광효율을 향상시킬 수 있다.

<52> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다.

<53> 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상에 의해 다양한 형태의 나노 패턴을 가지는 마스크층을 제조할 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구 범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<54> 상술한 바와 같이, 본 발명에 따른 반도체 소자 제조방법의 장점은, 격자 부정합으로 인해 반도체층의 계면에서 발생되는 결함의 성장을 저지시키고 결함 분포를 분산시켜 고효율의 반도체 소자를 제공할 수 있다는 것이다.

【특허청구범위】**【청구항 1】**

기판 상에, 제1반도체층, 마스크층 및, 금속층을 순서대로 적층하는 제1단계;
상기 금속층을 양극산화하여 나노 크기의 호울이 다수 형성되는 금속 산화물층으
로 변화시키는 제2단계;
상기 나노 호울이 상기 제1반도체층의 표면까지 연장되도록 상기 금속 산화물층을
마스크로 하여 상기 마스크층을 식각하는 제3단계;
상기 금속 산화물층을 식각하여 제거하는 제4단계; 및
상기 마스크층 및 상기 제1반도체층의 상면에 제2반도체층을 증착하는 제5단계;를
포함하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 2】

제 1 항에 있어서,
상기 호울은 10nm 내지 500nm 크기의 지름을 가지는 것을 특징으로 하는 반도체 소
자 제조방법.

【청구항 3】

제 1 항에 있어서,
상기 호울은 전체 면적의 50% 이내의 점유 면적비로 형성하는 것을 특징으로 하는
반도체 소자 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 마스크층은 50nm 내지 500nm의 두께로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 제1반도체층은 상기 기판과 격자 상수가 상이한 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 기판은 사파이어, Si, SiC, MgAl₂O₄, NdGaO₃, LiGaO₂, ZnO, MgO를 포함하는 무기물 결정, GaP, GaAs을 포함하는 III-V 족 화합물 반도체, 또는 GaN을 포함하는 III 족 질화물 반도체로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 제1 및 제2반도체층은 질화물 반도체인 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 질화물 반도체는 GaN, InGaN, AlGaN, AlInGaN, 또는 InGaNAs 인 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 9】

제 1 항에 있어서,

상기 마스크층은 다결정 반도체, 유전물질, 또는 금속으로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 10】

제 9 항에 있어서,

상기 다결정 반도체층은 다결정 실리콘 또는 다결정 질화물인 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 11】

제 9 항에 있어서,

상기 유전물질은 산화 규소, 산화 티탄, 또는 산화 지르코늄인 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 12】

제 9 항에 있어서,

상기 금속은 1200°C 이상의 융점을 가지는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 13】

제 12 항에 있어서,

상기 금속은 티탄 또는 텅스텐으로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 14】

제 1 항에 있어서,

상기 금속층은 알루미늄인 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 15】

제 1 항에 있어서,

상기 제3단계에서, 상기 식각은 건식식각인 것을 특징으로 하는 반도체 소자 제조방법.

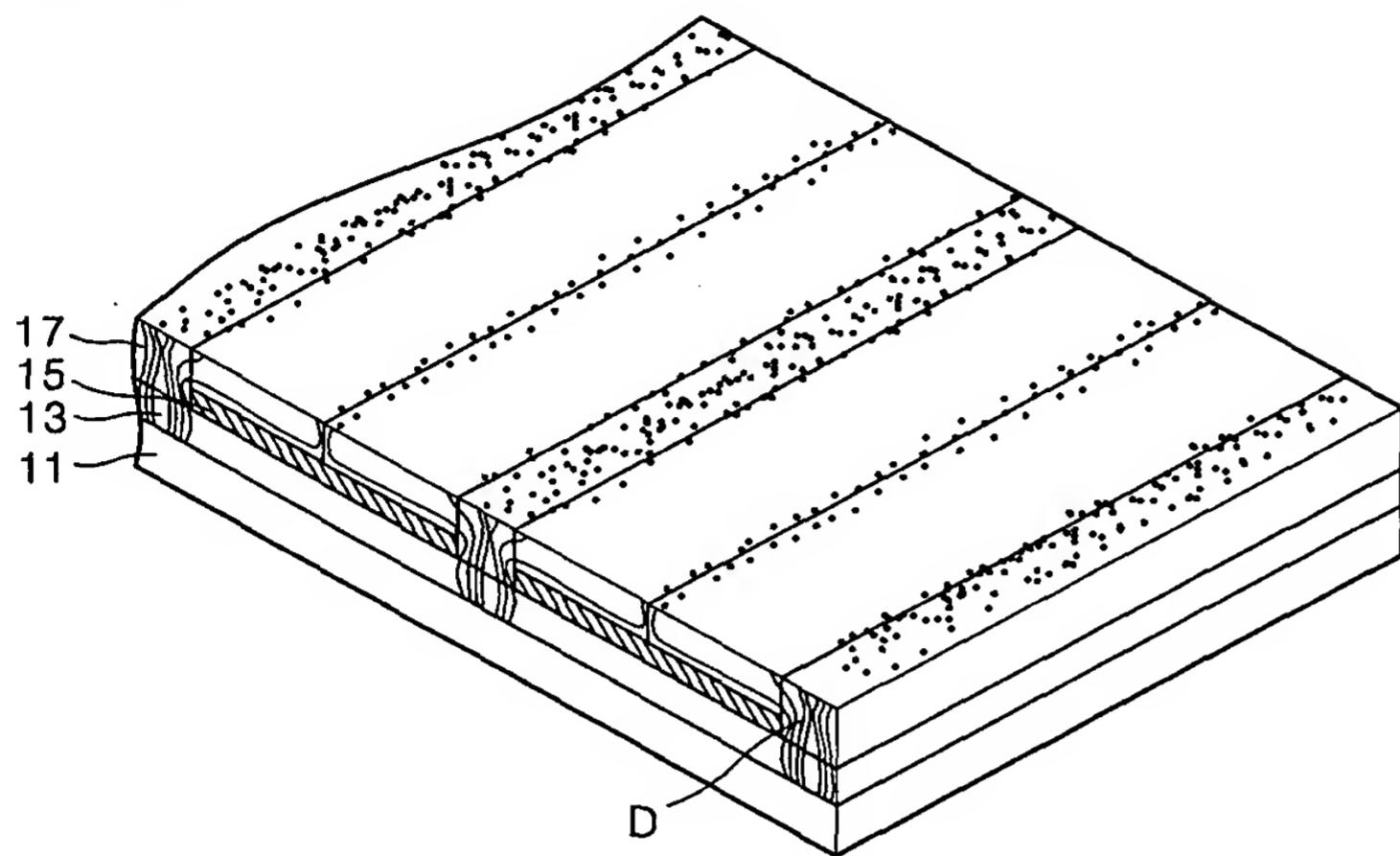
【청구항 16】

제 1 항에 있어서, 상기 제5단계에서,

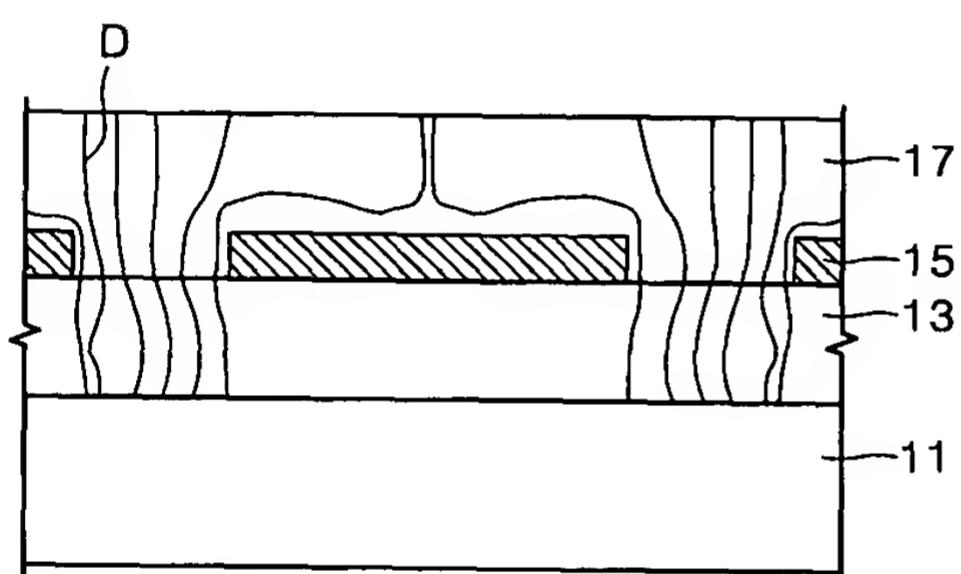
상기 마스크층의 나노 호울 내에 전하저장물질을 더 증착하는 것을 특징으로 하는 반도체 소자 제조방법.

【도면】

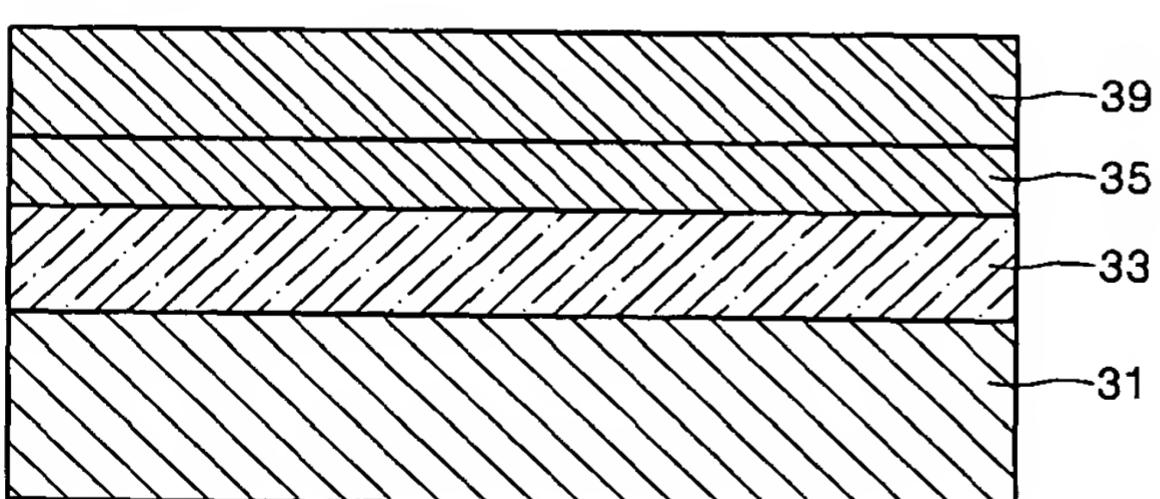
【도 1】



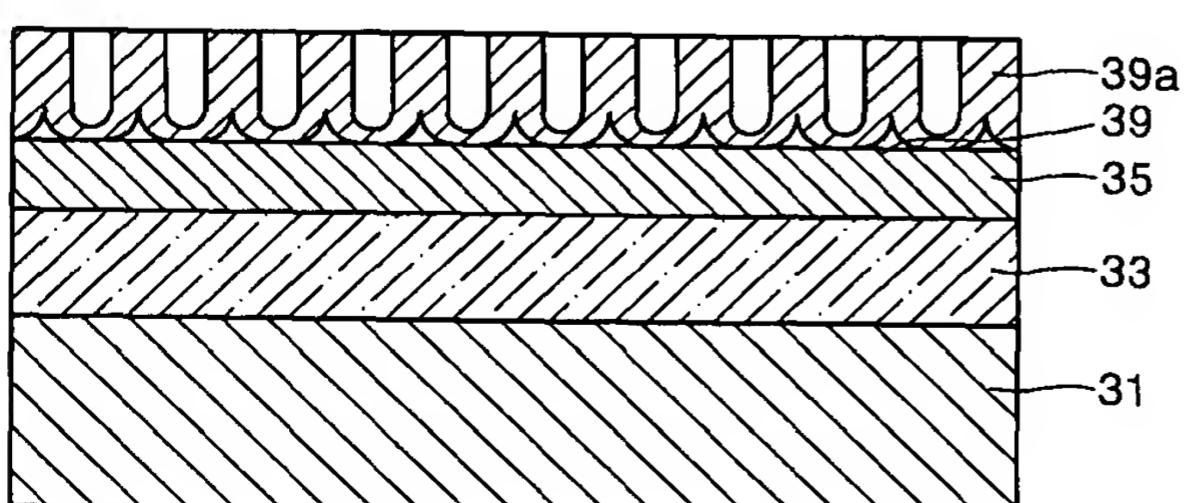
【도 2】



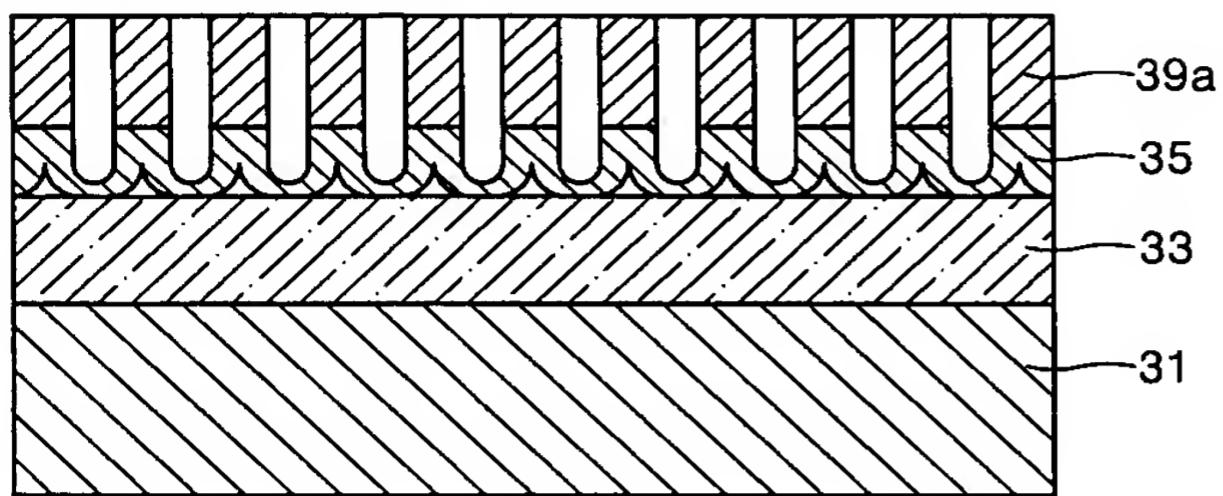
【도 3a】



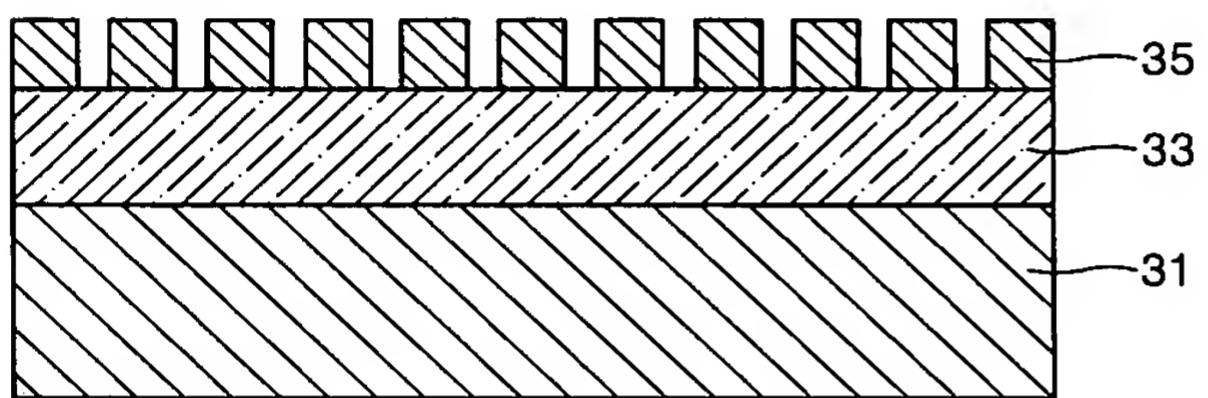
【도 3b】



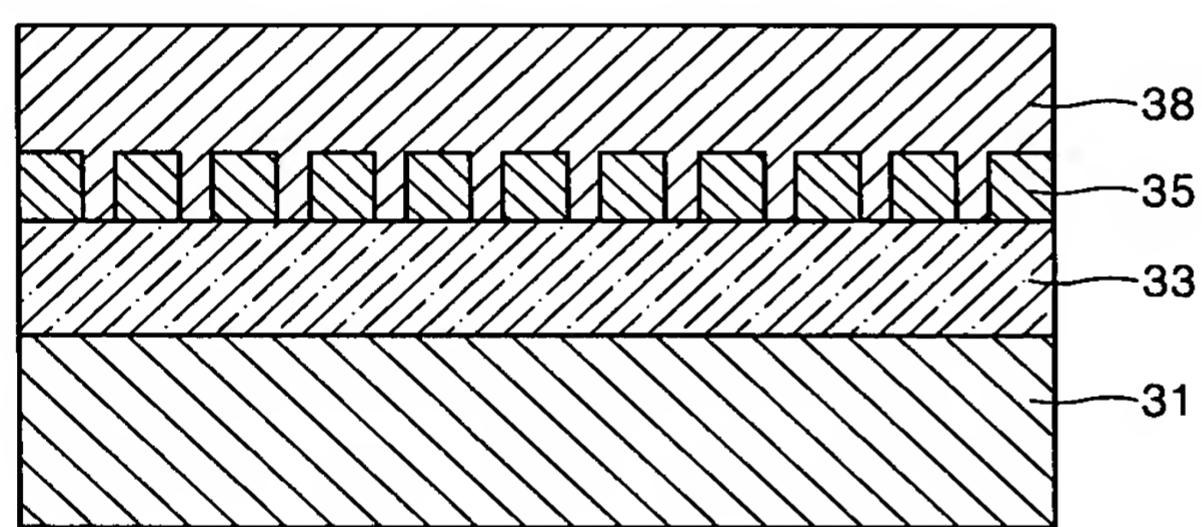
【도 3c】



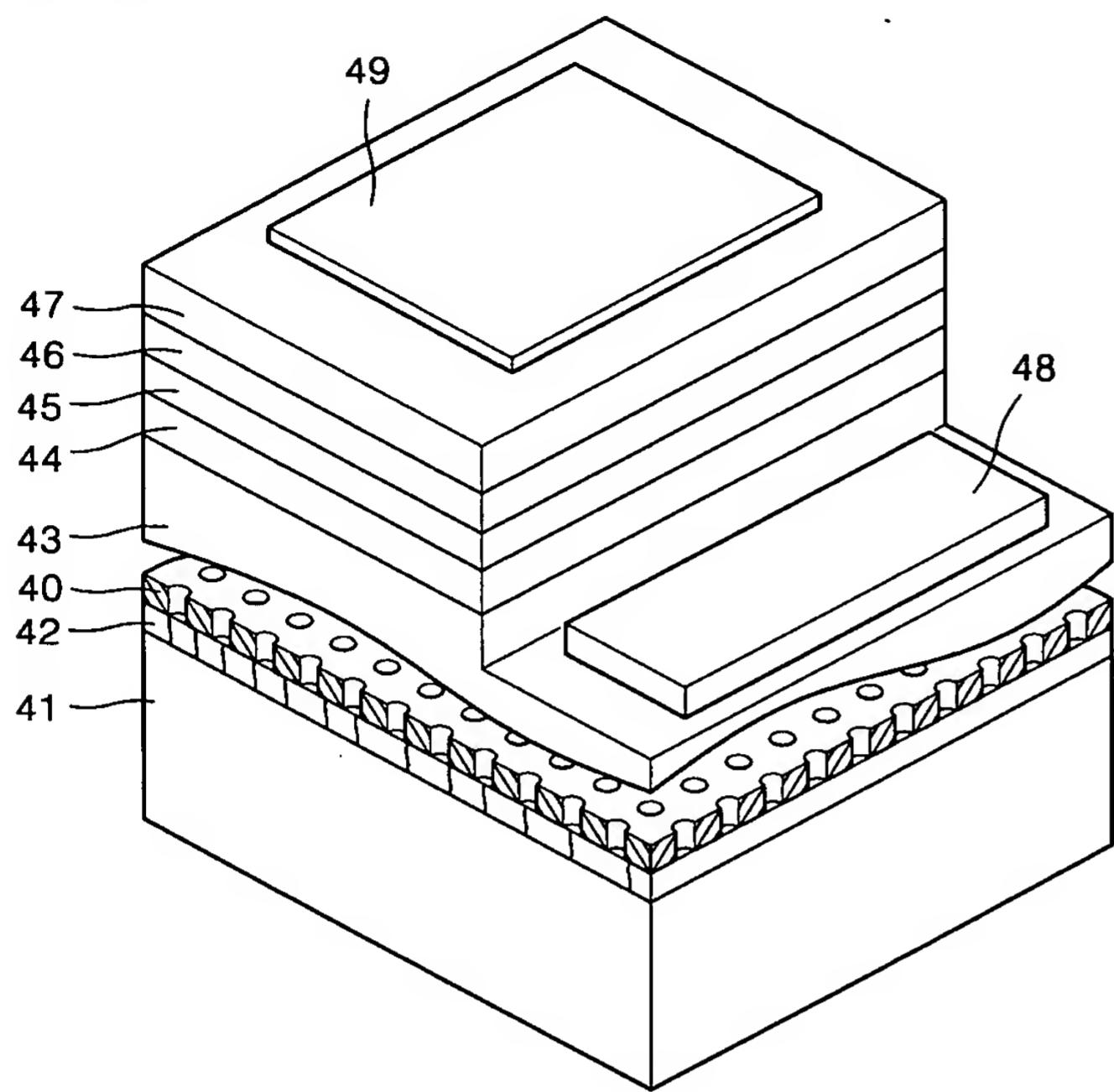
【도 3d】



【도 3e】



【도 4】



【도 5】

